Ver 1.4

抗辐照加固 20M bit SRAM 存储器

产品型号：YK8R512K39RH

元坤芯片事业部

联系人：刘先生（13621148533）

www.ic112.com / www.777ic.com

版本控制页

版本号	发布日期	更改章节	更改说明	备注
1.0	2017.3	——	——	
1.1	2018.4		增加典型应用、产品鉴定相关信息	
1.2	2018. 6		更改模板	
1.3	2018.8		更新产品防护相关信息	
1.4	2018.9		增加 1.3 免责声明，修改 7.2 产品防护章节，删除 8.3 产品环境试验和可靠性	

目 录

一、产品概述 3

1.1 产品特点 3
1.2 产品用途及应用范围 3
1.3 免责声明 3

二、产品工作条件 4

2.1 绝对最大额定值 4
2.2 推荐工作条件 4

三、封装及引出端说明 4

3.1 引出端排列 4
3.2 引脚信号描述 7
3.3 外形尺寸说明 7

四、产品功能 9

4.1 产品的基本工作原理 9
4.2 芯片系统结构和工作原理 10
4.3 时序特性和操作方式 10

五、产品电特性 11

5.1 直流电特性 11
5.2 读周期交流电特性 13
5.3 写周期交流电特性 14
5.4 低压数据保持特性 16

六、典型应用 17

七、应用注意事项 19

7.1 产品应用说明 19
7.2 产品防护 19

一、产品概述

1.1 产品特点

- **产品特性**

  最大数据存取时间：20ns

  异步存储器

  输入输出接口 CMOS 电平， 三态

  双向数据总线

  IO 电源电压 3.3V，内核电源电压 1.2V

  封装形式：84 引线陶瓷四面引线扁平封装（CQFP84）

- **可靠性指标**

  工作温度：-55℃ ～ +125℃

  抗静电指标（人体模型）：2000V

  抗总剂量：≥100Krad（Si）

  单粒子锁定（SEL）LET 阈值：≥75MeV·cm^2/mg

  单粒子翻转在轨错误率：1E-10 错误/天位（GEO 轨道，等效 Al 3 mm）

1.2 产品用途及应用范围

YK8R512K39RH 是一款高性能、抗辐照加固 512K × 40bit SRAM。YK8R512K39RH 为异步操作存储器。具有容量大、抗辐照加固、数据存取时间快等特点。

1.3 免责声明

本手册版权归元坤芯片事业部所有，并保留一切权利。未经书面许可，任何单位、组织和个人不得将此文档中的任何部分公开、转载或以其他方式散发给第三方，否则将追究其法律责任。

本手册版本将不定期更新，请在使用本产品之前联系本单位销售部门获取本手册的最新版本。

用户因未严格按本手册要求保存、使用本产品，致使产品工作异常或损坏，造成任何直接或间接损失，本单位不承担任何责任。

除本手册说明之外，请勿接受第三方指导或参考第三方资料对本产品进行操作，用户对本手册有疑问之处请与本单位销售部门联系。

二、产品工作条件

2.1 绝对最大额定值

绝对最大额定值如表 2-1 所示。

表 2-1 绝对最大额定值

参数名称	参数符号	参数值	单位
内核电源电压	V_{DD1}	-0.3 ~ +1.35	V
IO电源电压	V_{DD2}	-0.3~+3.8	V
直流输入/输出电压	V_{IO}	-0.3~+3.8	V
贮存温度	T_{stg}	-65～150	℃
引线耐焊接温度	T_h	260	℃
热阻	$R_{th(J-C)}$	5	℃/W
功耗	P_D	2	W

2.2 推荐工作条件

推荐工作条件如下：

a) 内核电源电压范围 (V_{DD1})：1.08V ~ 1.32 V

b) IO 电源电压范围 (V_{DD2})：2.97V~ 3.63 V

c) 工作环境温度范围 (T_C)：-55℃ ~ + 125℃

d) 输入电压范围 (V_I)：0V ~ V_{DD2}

注：V_{DD1} 与 V_{DD2} 的上电顺序为先 V_{DD2} 上电，后 V_{DD1} 上电

三、封装及引出端说明

3.1 引出端排列

YK8R512K39RH 采用 CQFP84 封装，引脚排列顺序如图 3-1 所示。

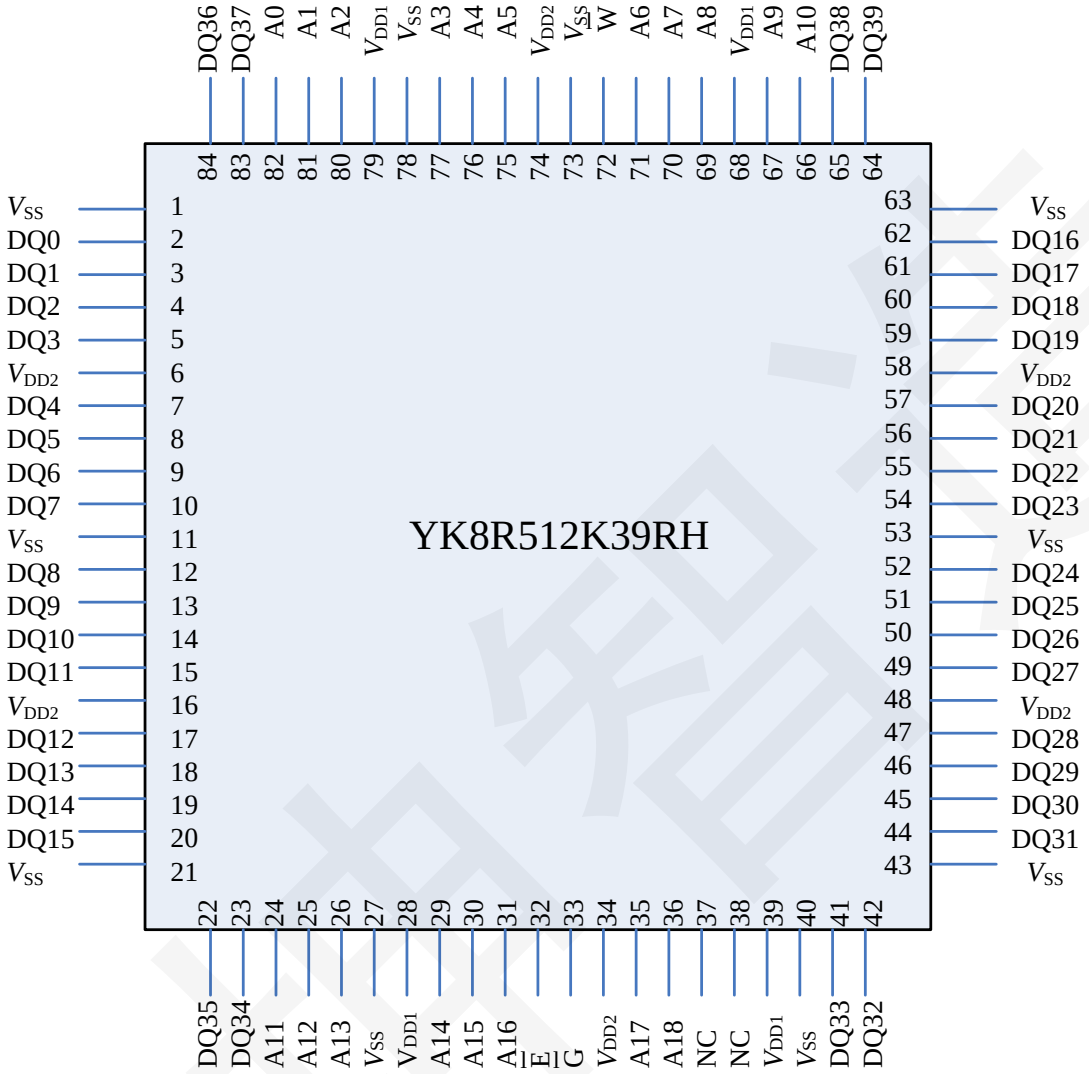


图 3-1 B8R512k39RH 引脚排列顺序

表 3-1 B8R512k39RH 引脚说明

引出端	符号	功能描述	引出端	符号	功能描述
1	V_{SS}	地	43	V_{SS}	地
2	DQ0	数据输入输出	44	DQ31	数据输入输出
3	DQ1	数据输入输出	45	DQ30	数据输入输出
4	DQ2	数据输入输出	46	DQ29	数据输入输出
5	DQ3	数据输入输出	47	DQ28	数据输入输出
6	V_{DD2}	IO 电源	48	V_{DD2}	IO 电源
7	DQ4	数据输入输出	49	DQ27	数据输入输出
8	DQ5	数据输入输出	50	DQ26	数据输入输出
9	DQ6	数据输入输出	51	DQ25	数据输入输出
10	DQ7	数据输入输出	52	DQ24	数据输入输出

11	V_{SS}	地	53	V_{SS}	地
12	DQ8	数据输入输出	54	DQ23	数据输入输出
13	DQ9	数据输入输出	55	DQ22	数据输入输出
14	DQ10	数据输入输出	56	DQ21	数据输入输出
15	DQ11	数据输入输出	57	DQ20	数据输入输出
16	V_{DD2}	IO 电源	58	V_{DD2}	IO 电源
17	DQ12	数据输入输出	59	DQ19	数据输入输出
18	DQ13	数据输入输出	60	DQ18	数据输入输出
19	DQ14	数据输入输出	61	DQ17	数据输入输出
20	DQ15	数据输入输出	62	DQ16	数据输入输出
21	V_{SS}	地	63	V_{SS}	地
22	DQ35	数据输入输出	64	DQ39	数据输入输出
23	DQ34	数据输入输出	65	DQ38	数据输入输出
24	A11	地址输入	66	A10	地址输入
25	A12	地址输入	67	A9	地址输入
26	A13	地址输入	68	V_{DD1}	内核电源
27	V_{SS}	地	69	A8	地址输入
28	V_{DD1}	内核电源	70	A7	地址输入
29	A14	地址输入	71	A6	地址输入
30	A15	地址输入	72	$\overline{W}$	读写控制信号
31	A16	读写控制	73	VSS	地
32	$\overline{E}$	片选使能	74	V_{DD2}	IO 电源
33	$\overline{G}$	输出使能	75	A5	地址输入
34	V_{DD2}	IO 电源	76	A4	地址输入
35	A17	地址输入	77	A3	地址输入
36	A18	地址输入	78	VSS	地
37	NC	未连接	79	V_{DD1}	内核电源
38	NC	未连接	80	A2	地址输入
39	V_{DD1}	内核电源	81	A1	地址输入
40	VSS	地	82	A0	地址输入
41	DQ33	数据输入输出	83	DQ37	数据输入输出
42	DQ32	数据输入输出	84	DQ36	数据输入输出

3.2 引脚信号描述

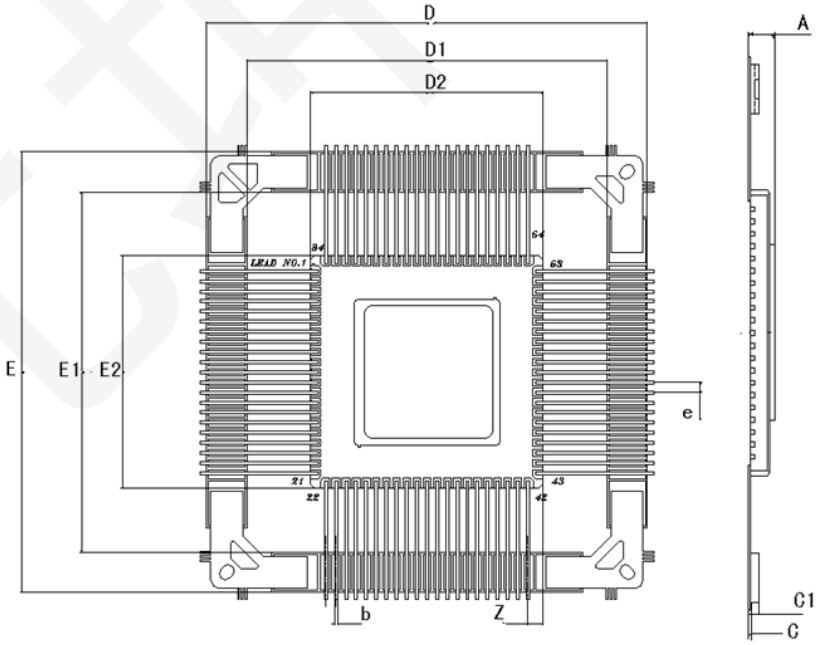
芯片引脚信号描述见表 3-2 所示。

表3-2 引脚信号描述

引脚符号	功能描述
A0~A18	地址输入信号
DQ0~DQ39	双向数据信号
$\overline{E}$	片选控制信号，低电平有效
$\overline{W}$	读写控制信号，低电平时，作为写操作控制信号；高电平时，作为读操作控制信号
$\overline{G}$	输出使能信号，低电平有效
V_{DD1}	1.2V 电源
V_{DD2}	3.3V 电源
V_{SS}	地
NC	不与芯片内部连接

3.3 外形尺寸说明

封装形式按 GB/T 7092 的规定。器件采用 84 引线陶瓷四边引线扁平封装（CQFP），外壳外形代号为 Q84P2。外形尺寸如图 3-2 所示，具体尺寸见表 3-3。



注 1：盖板接到 V_{SS}

图 3-2 外壳外形

表 3-3 外形尺寸

尺寸符号	数　值（单位：毫米）		
	最　小	公　称	最　大
A	1.30	—	2.90
b	0.23	—	0.53
C	0.10	—	0.20
C1	0.5	—	1.28
D/E	54.07	—	56.67
D1/E1	44.22	—	46.90
D2/E2	28.62	—	29.80
e	—	1.27	—
Z	1.19	—	2.63

注：未注公差按 GB/T 1804 执行

图 3-3 为推荐用户使用电路成形图，参数满足标准 QJ 3171-2003。

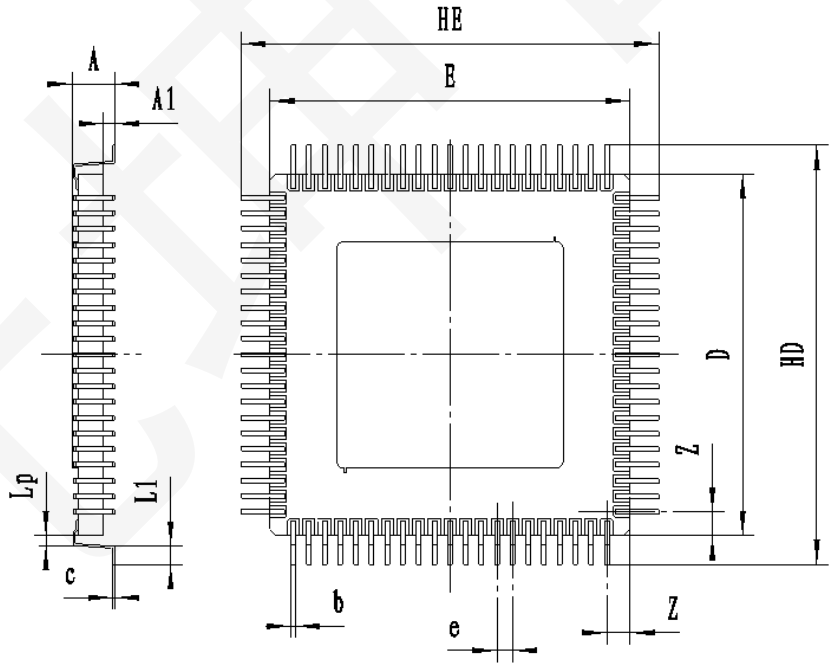


图 3-3 推荐用户使用电路成形图

表 3-4 电路成形尺寸

尺寸符号	数值（单位：毫米）		
	最小	公称	最大
A	2.6	____	3.6
A1	0.5	0.75	1.01
b	____	0.38	____
c	____	0.15	____
e	____	1.27	____
Z	____	1.91	____
D/E	28.92	29.21	29.5
HD/HE	33.52	33.91	34.6
Lp	1.0	1.0	1.15
L1	1.25	1.5	1.75

四、产品功能

YK8R512K39RH有 3 个控制信号：芯片使能信号$\overline{E}$、写使能信号$\overline{W}$，输出使能信号$\overline{G}$；19 位地址信号A(18:0)；40 位数据信号DQ0~DQ39。

4.1 产品的基本工作原理

抗辐照加固 SRAM—YK8R512K39RH 结构框图如图 4-1 所示。

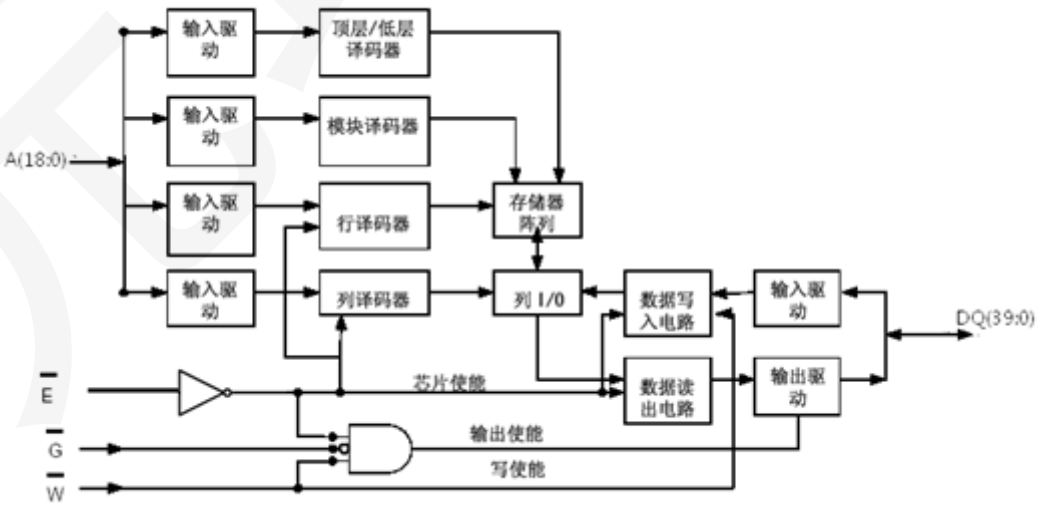


图 4-1 YK8R512K39RH 结构示意图

4.2 芯片系统结构和工作原理

YK8R512K39RH有 3 个控制信号：芯片使能信号$\overline{E}$、写使能信号$\overline{W}$，输出使能信号$\overline{G}$；19 位地址信号A(18:0)；40 位数据信号DQ0~DQ39。

表 4-1 真值表

输入			输出	
$\overline{G}$	$\overline{W}$	$\overline{E}$	I/O模式	模式
X	X	1	DQ(39:0) 三态	待机
X	0	0	DQ(39:0) 数据输入	写操作
0	1	0	DQ(39:0) 数据输出	读操作
1	1	0	DQ(39:0) 三态	读操作，数据端口三态

注：1. X = Don't care

4.3 时序特性和操作方式

- 读周期

$\overline{W}$ 电平高于 V_{IH}(min)且 $\overline{E}$ 电平低于 V_{IL}(max)时，操作定义为读周期。读操作访问时间定义为片选信号、输出使能和地址中较晚有效信号到来的时间和输出有效数据的时间之差。

读操作方式 1 为地址变化读取，如图 5-1 所示，是在片选有效且$\overline{G}$=0，$\overline{W}$ =1 时由输入地址的变化触发的。当满足指定的时间条件t_{AVQV}时，DQ(39:0)会输出有效数据。整个周期内输出都保持有效状态。只要片选信号和输出信号都处于使能状态，地址的输入可以以最小读周期t_{AVAV}的频率变化。

读操作方式 2 为片选控制读取，如图 5-2 所示，是在$\overline{G}$=0，$\overline{W}$ =1，且地址在整个周期内维持稳定的情况下由$\overline{En}$信号触发。当满足指定的时间条件t_{ETQV}时，可访问到A(18:0)给出的地址并在DQ(39:0)上输出有效数据。

读操作方式 3 为输出使能控制读取，如图 5-3 所示，是在$\overline{E}$ =0，$\overline{W}$ =1，且地址在整个周期内维持稳定的情况下由变为 0 的$\overline{G}$信号触发。t_{AVQV}和t_{ETQV}都满足的条件下，访问时间为t_{GLQV}。

- 写周期

$\overline{W}$ 和 $\overline{E}$ 电平均低于V_{IL}(max)时，操作定义为写周期。$\overline{G}$端的信号状态在写周期时并不重要。当$\overline{G}$电平高于V_{IH}(min)或$\overline{W}$低于V_{IL}(max)时，输出置于高阻态。

写操作方式 1 为写使能控制写操作，如图 5-4 所示，是在$\overline{E}$=0 的情况下由变高的写使能信号$\overline{W}$触发的。$\overline{W}$触发写操作时写脉宽定义为t_{WLWH}，由$\overline{E}$触发写操作时写脉宽定义为t_{ETWH}。除非$\overline{G}$端的设定使得输出处于高阻态，用户必须在输入 40 位数据DQ(39:0)前等待t_{WLQZ}的时间以避免总线冲突。

写操作方式 2 为片选控制写操作，如图 5-5 所示，是由有效的$\overline{E}$触发的。$\overline{W}$触发写操作时写脉宽定义为t_{WLEF}，由$\overline{E}$触发写操作时写脉宽定义为t_{ETEF}。对于$\overline{W}$触发的写操作，除非$\overline{G}$端的设定使得输出处于高阻态，用户必须在输入 40 位数据DQ(39:0)前等待t_{WLQZ}的时间以避免总线冲突。

五、产品电特性

5.1 直流电特性

表 5-1 直流参数表

项目	符号	条件 （V_{SS}=0V，-55℃≤T_A≤125℃ ） 1.08V≤V_{DD1}≤1.32V、 2.97V≤V_{DD2}≤3.63V	极 限 值		单位
			最小	最大	
输入高电平电压	V_{IH}		.7*V_{DD2}	—	V
输入低电平电压	V_{IL}		—	.3*V_{DD2}	V
输出高电平电压	V_{OH}	V_{DD2}=2.97V, I_{OH}=-4 mA，测所有适用的输出端。	.8*V_{DD2}	—	V
输出低电平电压	V_{OL}	V_{DD2}=2.97V, I_{OL}=8 mA，测所有适用的输出端。	—	.2*V_{DD2}	V
输入高电平漏电流	I_{IH}	V_{DD2}=3.63V， V_{DD1}=1.32V ,VI=3.63V，测所有输入端	-2	2	μA
输入低电平漏电流	$\|I_{IL}\|$	V_{DD2}= 3.63V，V_{DD1}=1.32V ,VI= 0V，测所有输入端	-2	2	μA
输出高阻态高电平电流	I_{OZH}	V_{DD2}= 3.63V ，V_{DD1}=1.32V V_O=V_{DD2}，测所有双向口	-2	2	μA
输出高阻态低电平电流	$\|I_{OZL}\|$	V_{DD2}= 3.63V ，V_{DD1}=1.32V V_O=0，测所有双向口	-2	2	μA
工作电源电流@1MHz	$I_{DD1(OP1)}$	CMOS 输入： V_{DD1}=1.32V	—	50	mA

		V_{IL}=V_{SS}+0.2V, V_{IH}=V_{DD2}-0.2V, I_{OUT}=0 V_{DD1}= V_{DD1}(max)， V_{DD2}= V_{DD2}(max)	V_{DD1}=1.2V	—	50	mA
工作电源电流@50MHz	$I_{DD1(OP2)}$	CMOS 输入： V_{IL}=V_{SS}+0.2V, V_{IH}=V_{DD2}-0.2V, I_{OUT}=0， V_{DD1}= V_{DD1}(max)， V_{DD2}= V_{DD2}(max)	V_{DD1}=1.32V	—	70	mA
			V_{DD1}=1.2V	—	60	mA
工作电源电流@1MHz	$I_{DD2(OP1)}$	CMOS 输入：V_{IL}=V_{SS}+0.2V V_{IH}=V_{DD2}-0.2V, I_{OUT}=0， V_{DD2}= V_{DD2}(max) ,V_{DD1}= V_{DD1}(max)		—	5	mA
工作电源电流@50MHz	$I_{DD2(OP2)}$	CMOS 输入：V_{IL}=V_{SS}+0.2V V_{IH}=V_{DD2}-0.2V，I_{OUT}=0 V_{DD2}= V_{DD2}(max) ,V_{DD1}= V_{DD1}(max)		—	5	mA
待机电源电流@0Hz	$I_{DD1(SB)}$	CMOS 输入 I_{OUT}=0 $\overline{E}$ = V_{DD2}-0.2V V_{DD2}= V_{DD2}(max) ， V_{DD1}= V_{DD1}(max)		—	50	mA
待机电源电流@0Hz	$I_{DD2(SB)}$	CMOS 输入 I_{OUT}=0 $\overline{E}$ = V_{DD2}-0.2V V_{DD2}= V_{DD2}(max) ， V_{DD1}= V_{DD1}(max)		—	3	mA
待机电源电流 A<18:0>@50MHz	$I_{DD1(SB)}$	CMOS 输入 I_{OUT}=0 $\overline{E}$ = V_{DD2}-0.2V V_{DD2}= V_{DD2}(max) ， V_{DD1}= V_{DD1}(max)		—	50	mA
待机电源电流 A<18:0>@50MHz	$I_{DD2(SB)}$	CMOS 输入 I_{OUT}=0 $\overline{E}$ = V_{DD2}-0.2V V_{DD2}= V_{DD2}(max) ， V_{DD1}= V_{DD1}(max)		—	3	mA

5.2 读周期交流电特性

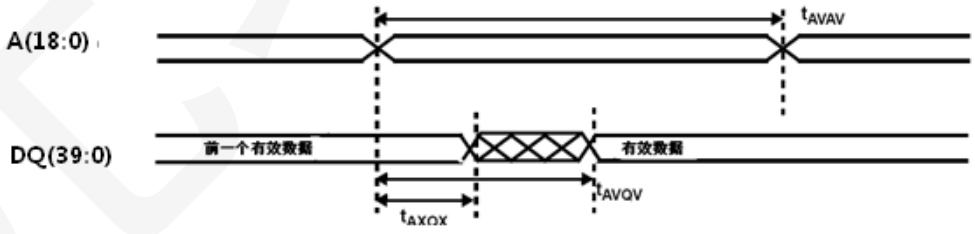
表 5-2 读周期交流参数表

参　　数	符号	条件（除另有规定外） 1.08V≤V_{DD1}≤1.32V、 2.97V≤V_{DD2}≤3.63V, -55 ℃≤T_A≤125 ℃	极　限　值		单位
			最小	最大	
读周期 [a]	t_{AVAV}	见图 5-1	20	—	ns
数据读取时间	t_{AVQV}		—	20	ns
输出保持时间	t_{AXQX}		3	—	ns
$\overline{G}$控制输出使能时间[b]	t_{GLQX}	见图 5-3	2	—	ns
$\overline{G}$控制有效输出使能时间	t_{GLQV}		—	10	ns
$\overline{G}$控制输出三态时间[c]	t_{GHQZ}		2	8	ns
$\overline{E}$ 控制输出使能时间 [b]	t_{ETQX}	见图 5-2	5	—	ns
$\overline{E}$ 控制读取时间	t_{ETQV}		—	20	ns
$\overline{E}$ 控制输出三态时间 [c]	t_{EFQZ}		2	9	ns

注： a 测试向量保证。

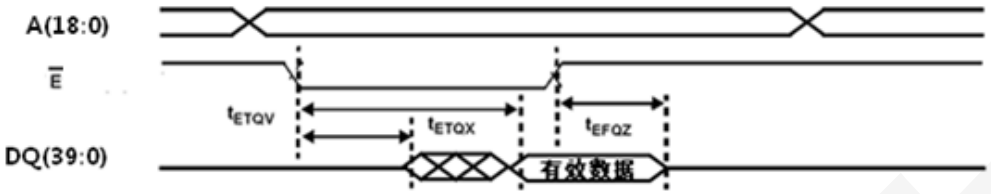
b 设计保证，不测试。。

c 输出三态定义为输出电压相对于输出稳态电压有超过 200mV 变化。



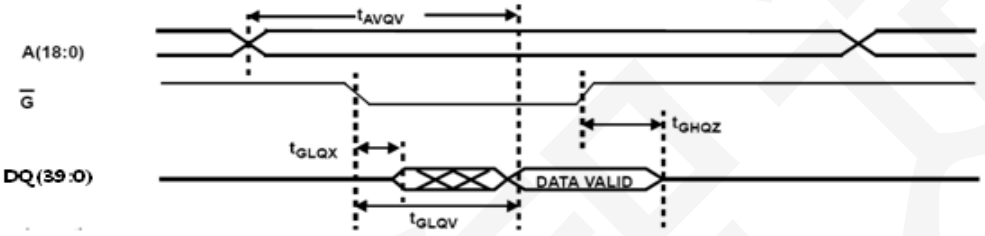
测试条件：$\overline{E}$ ≤VIL(max), $\overline{G}$≤VIL(max), $\overline{W}$≥VIH(min)

图 5-1 读操作方式 1：地址变化读取



测试条件： $\overline{G}$≤VIL(max), $\overline{W}$≥VIH(min)

图 5-2 读操作方式 2：片选控制读取



测试条件： $\overline{E}$ ≤V_{IL}(max), $\overline{W}$≥V_{IH}(min)

图 5-3 读操作方式 3：输出使能控制读取

5.3 写周期交流电特性

表 5-3 写周期交流参数表

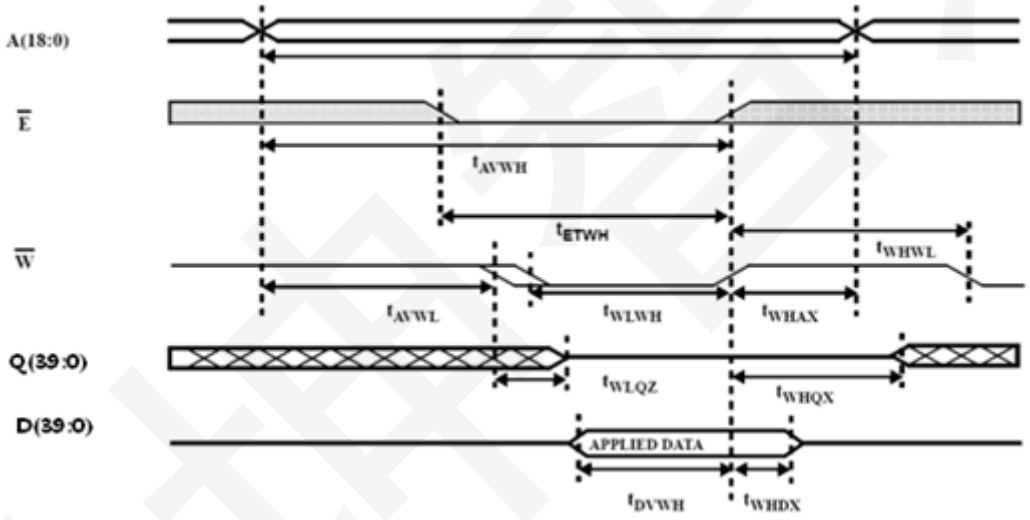
参　　数	符号	条件（除另有规定外） 1.08V≤V_{DD1}≤1.32V、 2.97V≤V_{DD2}≤3.63V, -55 ℃≤T_A≤125 ℃	极　限　值		单位
			最小	最大	
写周期 [a]	t_{AVAV}	见图 5-4 和图 5-5	10	—	ns
片选使能到写周期结束时间 [a]	t_{ETWH}	见图 5-4	6	—	ns
地址相对($\overline{E}$)控制写信号的建立时间 [a]	t_{AVET}	见图 5-4	0	—	ns
地址相对$\overline{W}$控制写信号的建立时间[a]	t_{AVWL}	见图 5-4	0	—	ns
写脉冲宽度 [a]	t_{WLWH}	见图 5-4	6	—	ns
地址相对$\overline{W}$控制写信号的保持时间[a]	t_{WHAX}	见图 5-4	2	—	ns
地址相对($\overline{E}$)控制写信号的保持时间 [a]	t_{EFAX}	见图 5-5	2	—	ns
$\overline{W}$控制三态时间[bc]	t_{WLQZ}	见图 5-4	—	**9**	ns
$\overline{W}$控制输出使能时间[b]	t_{WHQX}	见图 5-4	2	—	ns
片选使能脉冲宽度($\overline{E}$)[a]	t_{ETEF}	见图 5-5	6	—	ns

数据建立时间 [a]	t_{DVWH}	见图 5-4	2	—	ns
数据保持时间 [a]	t_{WHDX}	见图 5-4	2	—	ns
片选使能控制写脉冲宽度 [a]	t_{WLEF}	见图 5-5	6	—	ns
数据建立时间 [a]	t_{DVEF}	见图 5-5	2	—	ns
数据保持时间 [a]	t_{EFDX}	见图 5-5	2	—	ns
地址有效到写操作结束时间 [a]	t_{AVWH}	见图 5-4	6	—	ns
写失效时间 [a]	t_{WHWL}	见图 5-4	2	—	ns

注： a 测试向量保证。

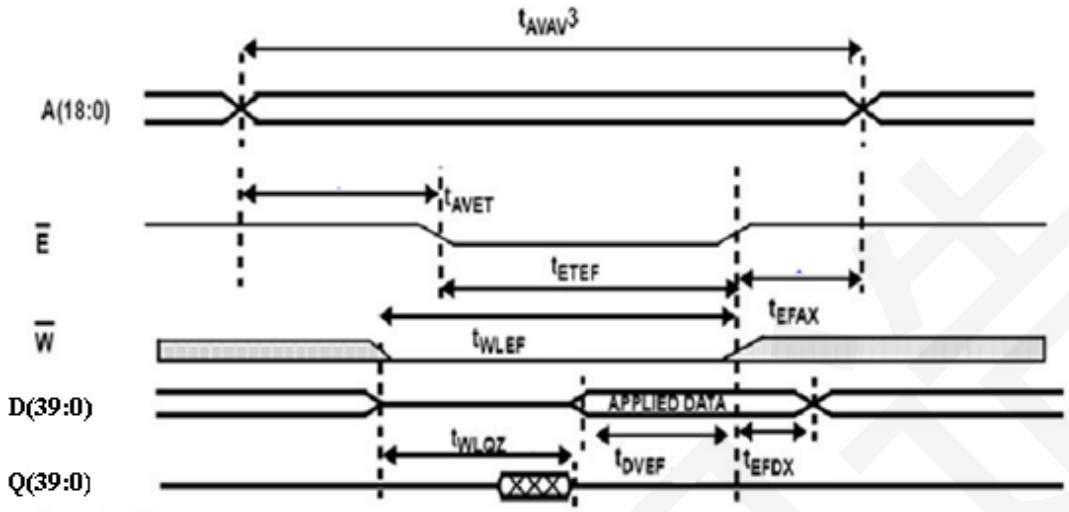
b 设计保证，不测试。。

c 输出三态定义为输出电压相对于输出稳态电压有超过 200mV 变化。



测试条件：$\overline{G} \leq V_{IL}(max)$

图 5-4 写操作方式 1：$\overline{W}$ 控制写操作



测试条件：$\overline{G} \leq V_{IL}(max)$

图 5-5 写操作方式 2：片选控制写操作

5.4 低压数据保持特性

表 5-4 低压数据保持特性

参数	符号	条件 （除非另有规定， $\overline{E}$：V_{DD2}，其它输入：V_{DD2} 或 V_{SS}， V_{DD2}：0~3.63V）	极限值		单位
			最小值	最大值	
数据保持电压	V_{DR}	图 5-6	1.0	—	V
数据保持电流	I_{DDR}	图 5-6	—	1	mA
			—	40	mA
片选无效到数据保持时间	t_{EFR}	图 5-6	0	—	ns
工作恢复时间	t_R	图 5-6	t_{AVAV1}	—	ns

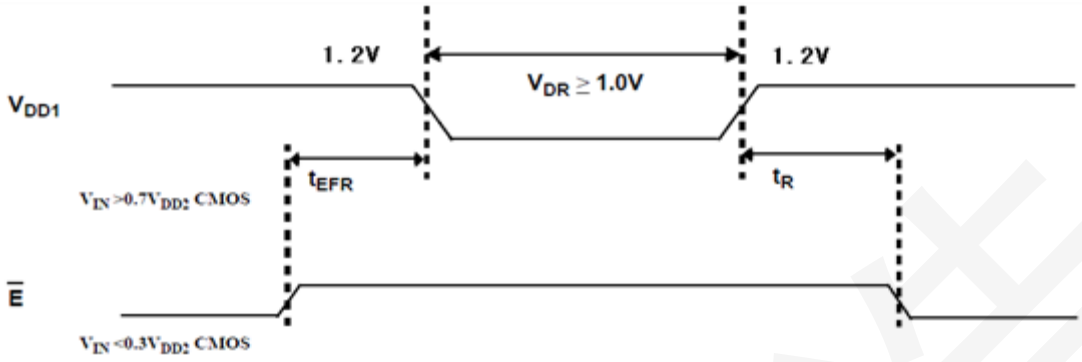
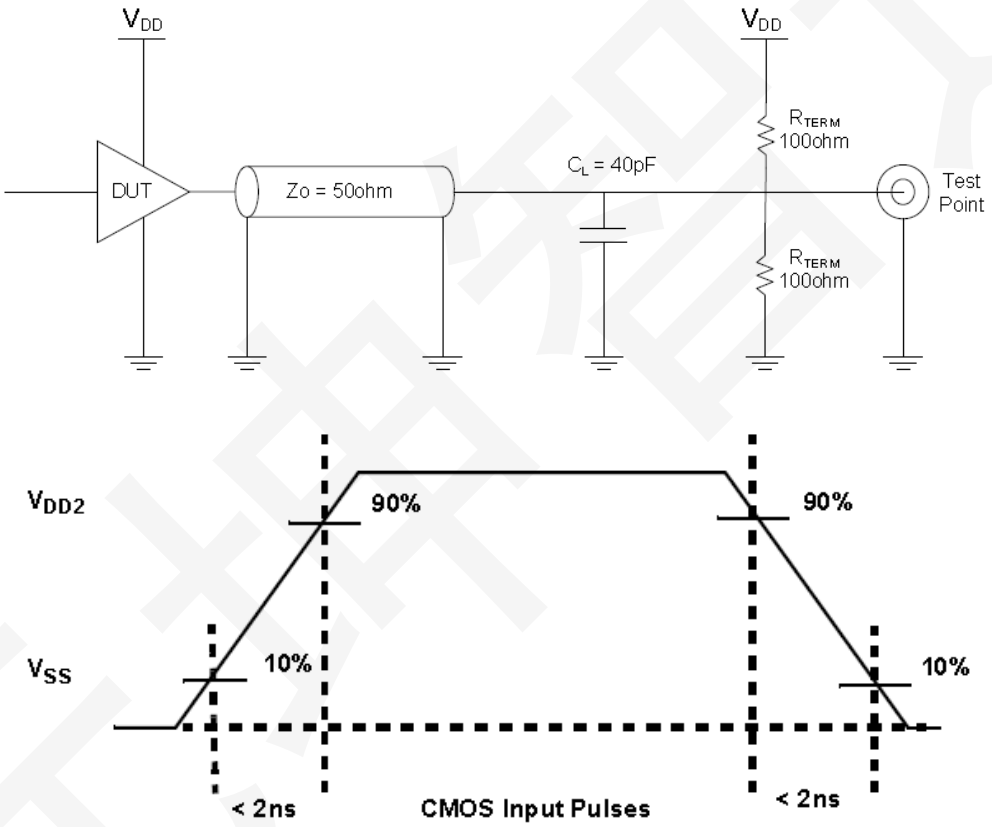


图 5-6 低电压数据保持波形



注：输出数据测试为低到高或者高到低变化中点（CMOS 输入=V_{DD2}/2）

图 5-7 AC 测试负载及输入波形

六、典型应用

YK8R512K39RH 芯片的一种典型应用系统如附图 6-1 所示，该系统是专门针对处理器（YK697E）中内部缓存有限而设计的，主要实现系统大容量数据存储的 EDAC 功能。

处理器对存储器控制访问采用标准的管脚配置，主要信号包括：地址信号 A、数据信号 D、片选（RAMSN）、输出使能（RAMOEN）和写使能（RWEN）。

YK697E 访问存储器的时序是固定的，其读、写时序如图 6-2、6-3 所示，地址信 号、片选信号和输出使能信号是同时传递给 SRAM 的，从图 5-1 到图 5-5 可以看出，如此的访问时序已经满足 YK8R512K39RH 的读访问时序，故应用时只需正确配置 YK8R512K39RH 的其他控制信号，系统即可正常工作。

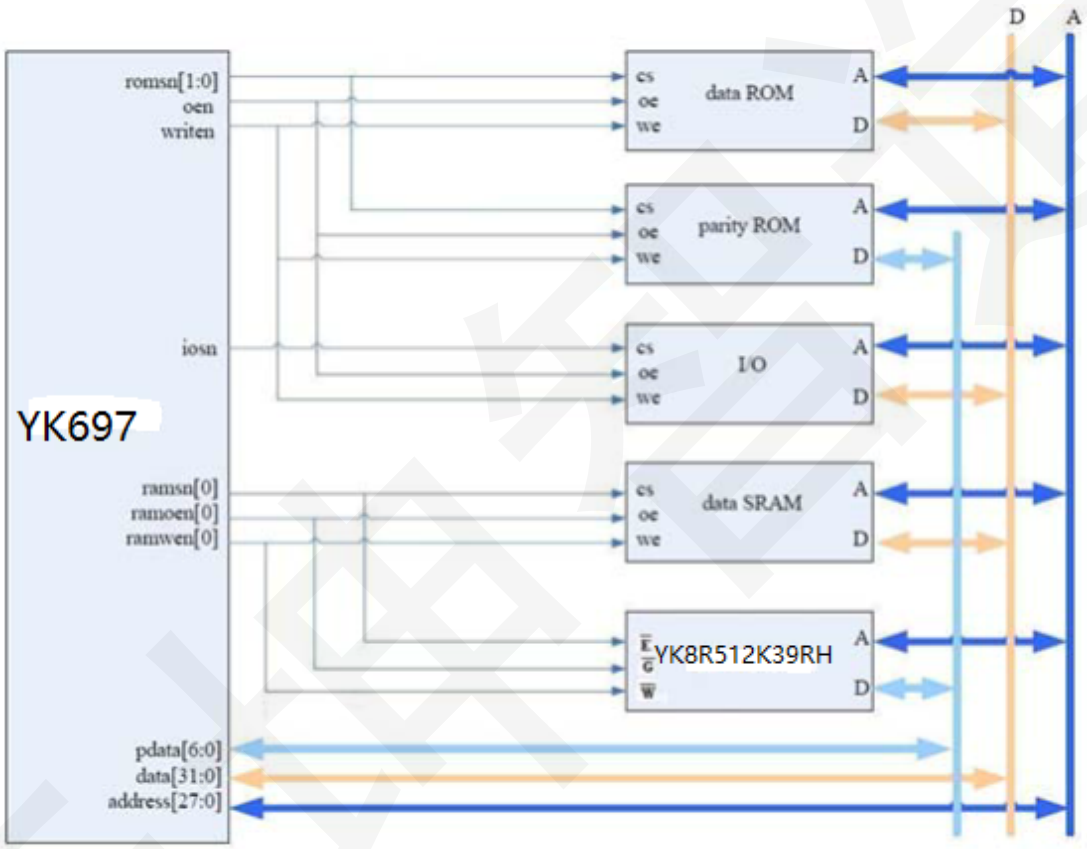


图 6-1 YK8R512K39RH 配合 32 位处理器的应用原理图

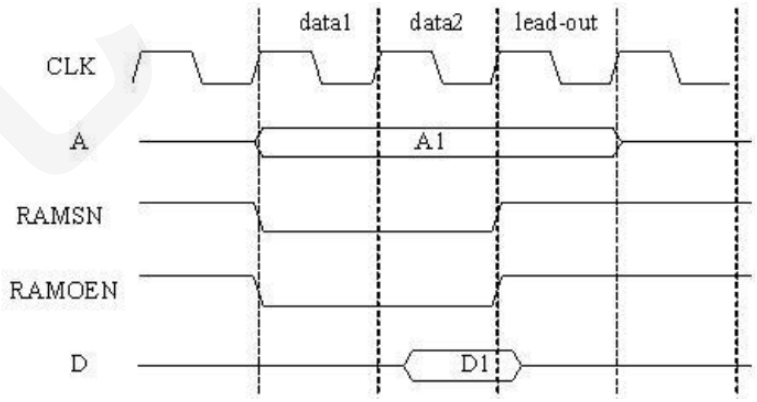


图 6-2 YK697E对 SRAM 的读访问时序

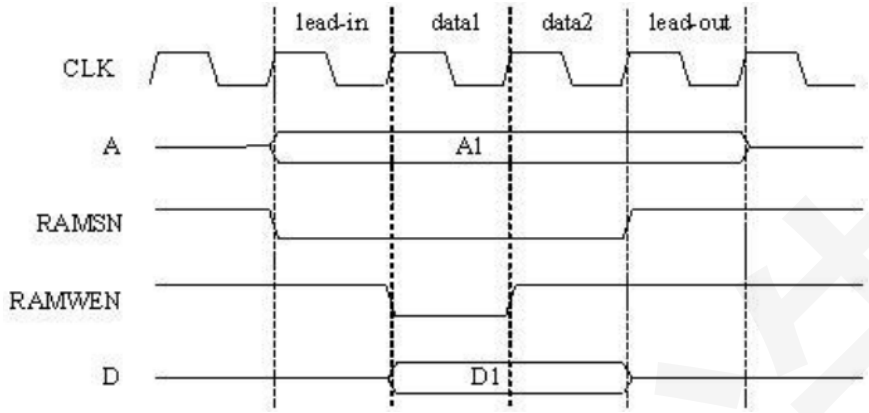


图 6-3 YK697E 对 SRAM 的写访问时序

七、应用注意事项

7.1 产品应用说明

为保证系统稳定工作，应注意：

（1）器件的上电次序：推荐先加 3.3V 电源和各种输入信号,后加载 1.2V 电源；

（2）外部 V_{DD1} 输入的电源纹波峰峰值控制在 200mV 以内。外部 V_{DD2} 输入的电源纹波峰峰值控制在 400mV 以内。

（3）输入端不可悬空；

（4）输出端不可与电源或地直接相连；

（5）器件盖板内部接地，焊接时应避免焊盘与盖板接触；

（6）系统中各种总线应尽可能避免过冲信号。

器件使用时应注意以下事项：

（1）器件应在推荐的工作电压范围内工作，否则会减少产品寿命；

（2）电源在开启或关闭时应尽量避免产生过大的毛刺，损毁器件。

7.2 产品防护

7.2.1 电装及防护措施

器件应采取防静电措施进行操作。推荐下列操作措施：

a) 器件应在防静电的工作台上操作；

b）试验设备和器具应接地；

c）不能直接用手触摸器件引线，应佩戴防静电指套和腕带；

d）器件应存放在防静电材料制成的容器中；

e）生产、测试、使用及流转过程工作区域内应避免使用能引起静电的塑料、橡胶或丝织物；

f）相对湿度应尽可能保持在 30%~70%。

（如有特殊要求应补充说明）

7.2.2 包装

器件包装应至少满足以下要求：

a）由无腐蚀的材料制成；

b）具有足够的强度，能够经得起搬运过程中的震动和冲击；

c）用抗静电材料涂敷过或浸渍过，具备足够的抗静电能力；

d）能够牢固的把所装器件支撑在一定的位置；

e）能保持器件引线不发生变形；

f）没有锋利的棱角；

g）能安全容易的移动、检查和替换器件；

h）一般不使用聚氯乙稀、氯丁橡胶、乙烯树脂和聚硫化物等材料，也不允许使用有硫、盐、酸、碱等腐蚀成分的材料，使用具有低放气指数、低尘粒脱落的材料制造为宜。

（如有特殊要求应补充说明）

7.2.3 运输和贮存

器件在运输和贮存过程中，至少应满足以下要求：

a）运输：在避免雨、雪直接影响的条件下，装有产品的包装箱可以用任何运输工具运输。但不能和带有酸性、碱性和其它腐蚀性物体堆放在一起。

b）贮存：包装好的产品应贮存在环境温度为 16℃~28℃，相对湿度不大于 30%~70%，周围没有酸、碱或其它腐蚀性气体且通风良好的库房里。

（如有特殊要求应补充说明）